

宇航级处理器发展现状与趋势

虞志刚, 冯 旭, 陆 洲, 高吉星, 丁文慧
(中国电子科技集团公司电子科学研究院, 北京 100041)

摘 要：航天电子系统是航天工程型号的“大脑”，是世界各主要国家竞相发展的核心领域。作为航天电子系统中最核心的器件，宇航级处理器直接影响航天型号的性能、可靠性和安全。在简要介绍航天电子系统的基础上，首先分析国外宇航级处理器架构发展现状；然后梳理形成SPARC、PowerPC、ARM、RISC V等宇航级处理器体系架构发展路线图，综合考虑架构、性能等参数，将其发展历程归纳总结为3个发展阶段：起步阶段、发展阶段、新的阶段；最后对未来宇航级处理器的发展方向总结为“五化”：众核化、商业化、智能化、生态化、云网化。

关键词：航天电子；宇航级处理器；星上处理；处理器架构

中图分类号：TP393

文献标志码：A

doi: 10.11959/j.issn.2096-8930.2023006

Development Status and Trends of Space Processor

YU Zhigang, FENG Xu, LU Zhou, GAO Jixing, DING Wenhui
China Academy of Electronics and Information Technology, Beijing 100041, China

Abstract: Space electronic system is the "brain" of aerospace engineering models and the core field of competitive development of major countries around the world. As the most core device in space electronic system, space processor directly affects the performance, reliability and safety of aerospace models. On the basis of brief introduced of space electronic systems, firstly, the development status of foreign space processors was analyzed, and then the development roadmap of space processors such as SPARC, PowerPC, ARM, RISC V, etc were combed and formed. The development process was summarized into three stages: initial stage, development stage and new stage, considered architecture and performance parameters. Finally, the development trend of space processors in the future was summarized as "five modernizations": micro system, commercialization, intelligent, ecological and cloud enabled.

Keywords: space electronic, space processor, in-satellite computing, computer architecture

0 引言

随着空天技术的迅猛发展，人类的活动疆域不断向太空拓展，为满足载人、探月等领域日益复杂的航天任务需求，发展更高性能、更可靠、更安全的航天电子系统迫在眉睫^[1-3]。航天电子系统是航天器上所有电子系统的总称，是保障航天器完成预定任务达到各项规定性能所需的各种电子设备总称，更是航天器的“大脑”，是航天任务成败的关键要素^[4]。宇航级处理器作为航天电子

系统中最核心器件，直接影响航天型号性能、可靠性和安全，是世界各航天强国竞相发展的核心领域^[5]。

宇航级处理器与常见的商用级处理器不同，为了在复杂的空间电磁环境（如空间辐射、宇宙射线、单粒子翻转、位移损伤和带电等）下稳定安全工作，必须进行相应的容错以及抗辐照设计^[6-7]，是集成电路技术与空间信息技术的结晶，也是国家科技实力的重要体现。广义的宇航级处理器包括宇航级CPU、宇航级现场可编程门

收稿日期：2022-12-15；**修回日期：**2023-02-10

基金项目：国家重点研发计划资助项目（No. 2020YFB1806000）；国家自然科学基金资助项目（No.62201534、No.61931017）；复杂电子系统仿真重点实验室基金项目（No. 614201004032101）

Foundation Items: National Key Research&Development Program of China (No.2020YFB1806000), The National Natural Science Foundation of China (No.62201534, No.61931017), State Key Laboratory of Complex Electronic System Simulation Foundation (No. 614201004032101)

阵列（Field Programmable Gate Array, FPGA）等，考虑篇幅限制等因素，本文重点讨论宇航级CPU的发展现状与趋势。

美国和欧洲是最早开展宇航级处理器研究的国家和地区，早在20世纪70年代就开展了相关的技术探索，并逐渐形成了系列化产品：美国宇航局拥有RAD6000、RAD750、RAD5545等PowerPC架构的宇航级处理器芯片^[1,6]，欧洲航天局形成了ERC32、TSC695、GR712RC、GR740等SPARC架构的宇航级处理器芯片^[1,7]。

近年来，以美国国防高级研究计划局黑杰克（Blackjack）、太空发展局战斗管理层（BMC3）为代表的低轨星座计划，纷纷提出在卫星上搭载具有较强处理能力的计算载荷，实现星上自主控制及自主决策等功能^[8-9]，缩短时敏应用的服务响应时间。打造强大星上计算能力已经成为大势所趋。

新技术催生新应用，新应用呼唤新技术。应用驱动、技术牵引，双轮驱动共同推动宇航级处理器的快速迭代与发展。面向未来日益增长的高性能计算需求，欧美先后启动下一代通用、多核宇航处理器的研究和探索，纷纷布局基于新型架构的高性能宇航级处理器^[10-12]：2016年美国宇航局启动基于ARM架构的“高性能航天飞行计算处理器（High-Performance Spaceflight Computing, HPSC）”项目^[10]；与此同时，2017年欧洲航天局同期启动基于ARM架构的DAHLIA计划^[11]；2021年，随着自主可控需求的发展，欧洲航天局率先开展基于RISC-V架构的宇航级处理器研究。综上所述，发展新型高性能宇航级处理器已经成为世界航天强国争相布局的热点领域。

国外宇航级处理器发展路线如图1所示。

1 宇航级处理器架构发展现状

宇航级CPU作为航天电子系统的核心，除了需要考虑空间环境功耗受限等约束条件，还需要考虑复杂电磁环境的影响。纵观当前宇航级处理器发展现状和应用情况，按照处理器架构的不同主要包括6类^[1,6-11]，具体见表1。

表1 处理器架构对比

类型	指令集	公司	时间	功耗	特点	生态
X86	CISC	Intel	1978年	高	封闭	桌面生态好
SPARC	RISC	Sun	1987年	中	开源、开放	生态不完整
PowerPC	RISC	IBM	1991年	中	方便灵活	生态不完整
MIPS	RISC	Stanford	1981年	中	授权价格高	生态不完整
ARM	RISC	Acom	1983年	中	开放、灵活	移动生态好
RISC V	RISC	UCB	2010年	低	简单、低功耗	生态不完整

X86泛指一系列基于Intel 8086且向后兼容的中央处理器指令集架构，属于复杂指令集（CISC）。其至今已经垄断了以计算机、服务器为代表的高性能计算领域。

SPARC是Sun公司于1987年研发的精简指令集（RISC）架构处理器，是业界第一款有可扩展性功能的微处理器，国际空间站控制计算机、太空观测台等航天电子系统均使用SPARC处理器。

PowerPC是IBM公司于1991年提出的精简指令集架构，具有可伸缩、方便灵活的优势，在嵌入式系统广泛

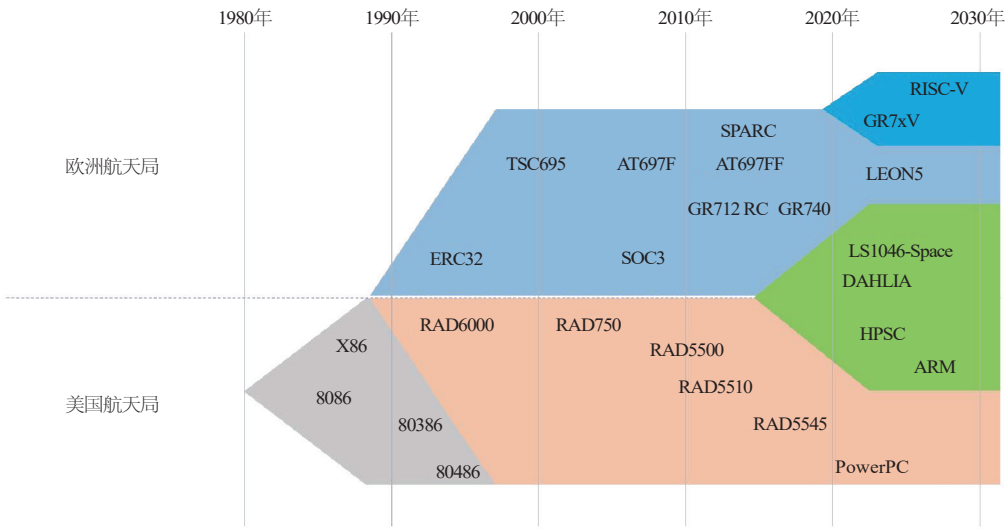


图1 国外宇航级处理器发展路线

使用。其在美国宇航局的航天任务中被广泛使用。

MIPS是斯坦福大学于1981年研发的一种简洁、优化、具有高度扩展性的RISC架构,广泛应用于电子产品、网络设备和个人娱乐装置之上。20世纪90年代,日本宇宙航空研究开发机构(JAXA)布局基于MIPS架构的宇航级处理器研发,并使其在航天任务中得到应用。

ARM是Acorn公司于1983年首次提出的一种RISC架构,数据显示在全球移动芯片市场中,ARM架构占比超过90%,已成为嵌入式、手机为代表的低功耗和移动计算领域主流的架构。

RISC V是2010年首先提出的第五代精简指令集处理架构。RISC V具有模块化、可扩展的特点,是第一个被设计成可以根据具体场景选择适合指令集的架构,已成为世界各国实现芯片自主可控的重要选择。

1.1 美国宇航级处理器架构发展现状

美国是世界上最早开展宇航级处理器研究的国家,早在20世纪70年代就开展了相关的技术探索,经过多年的发展,已经形成了以PowerPC为主的宇航级处理器系列产品。按照宇航级处理器架构,主要可以分为3个发展阶段: X86、PowerPC、ARM^[10]。

(1) X86架构

美国刚开始主要在英特尔8086、80386、80486等工业级X86芯片的基础上,进行防辐射加固设计或者筛选,获得相应的80386ex、80486dx等版本宇航级处理芯片,在国际空间站、哈勃望远镜等航天器中得到应用。

(2) PowerPC架构

为支持更加复杂的航天任务,1997年开始,BAE等公司先后推出多款基于PowerPC架构的处理器,如RAD6000、RAD750、RAD5500、RAD5510、RAD5545等系列处理器^[11]。

1997年,RAD6000基于IBM RS600设计,是第一款进入深空的商用处理器,用于火星探路者,由Lokheed Martin联邦公司供应。

RAD750是商用器件PowerPC750的抗辐照版本,2001年由NASA在X2000计划中资助研发,采用了超标量体系结构,具有很强的处理能力,在毅力号、好奇号等火星登陆车中得到应用。它是使用最为广泛的PowerPC处理器芯片,也是NASA航天任务的首选处理器。

2015年,RAD5545采用飞思卡尔半导体的QorIQ片上系统处理器架构,集成4个PowerPC处理器内核,是首款多核PowerPC的处理器芯片,采用45 nm工艺技术,提供高达3.7GFLOPS的浮点计算能力、102 Gbit/s的内存带宽和64 Gbit/s的I/O吞吐量,在NASA火星任务系统中得

到应用。

(3) ARM

2017年,为了满足未来载人航天器或无人航天器的高性能计算需求,NASA启动HPSC项目^[10],研发下一代通用、多核宇航处理器。该项目由美国波音公司承担,提出了一套颇具特色的方案,可归结为如下几点。

生态开放:为了最大程度地简化开发难度,并充分发挥现有商业处理器芯片的能力,选用在移动端广泛使用的低功耗ARM架构处理器进行加固。

高性能:为了尽可能获得较高的性能,采用片上系统的方案,高性能部分集成8个64位ARM Cortex-A53内核,通过环形拓扑进行互联,形成高性能计算集群,运行主频800 MHz,最大可以提供14 720 DMIPS的强大算力。高性能部分运行常规的嵌入式Linux,可以直接沿用地面软件开发的环境和工具。

强实时:为了满足航天任务强实时性要求,实时系统部分采用1个64位ARM Cortex-A53核心,辅助以2个64位ARM Cortex-R52实时内核,运行主频600 MHz,此部分运行实时操作系统,可以很好地满足时敏任务的需求。

综上所述,美国宇航级处理器的发展经历了X86、PowerPC、ARM等3个发展阶段,如图2所示。其中PowerPC仍然是当前航天任务采用的主流处理器架构,与此同时为了更高性能的计算需求,美国也开展了宇航级ARM处理器布局。

1.2 欧洲宇航级处理器架构发展现状

欧洲航天局自20世纪90年代以来,相继研制成功了基于SPARC架构的ERC32、TSC695、AT697E等32位宇航级处理器,以及GR712RC、GR740等64位宇航级处理器,广泛应用于ASTROTERRA、METOP1/2/3、Alphasat、BepiColombo、Spot6/7等航天任务,并逐渐形成SPARC系列宇航级处理器产品^[12]。具体而言,按照宇航级处理器的架构,主要分为3个发展阶段: SPARC、ARM、RISC V。

(1) SPARC

欧洲航天局独立开发了基于SPARC V8架构的32位宇航级精简指令集处理器,主要包括LEON1、LEON2、LEON3、LEON4、LEON5等5代。其最大的优势是遵循GPL开源特征,提供VHDL源代码(容错版除外),使其具有良好的可配置性和可移植性,在业界得到广泛使用。

2005年,Atmel公司基于LEON2处理器核开发了AT697E宇航处理器,运行主频100 MHz,计算能力可达25 MIPS,在Probe2卫星中得到应用。

2010年,Gaisler公司研制了宇航处理器GR712RC,采用双核LEON3-FT处理器,运行主频100 MHz,计算

能力可达200 MIPS，深度融合容错设计与抗辐射技术，实现了对辐射效应的完全免疫。

2017年，Gaisler公司基于LEON4处理器核研制了宇航处理器GR740，集成4个LEON4处理器核，部分指令已经可以实现64位数据单周期操作，采用3层复杂总线结构，GR740的CPU流水线使用了64位数据路径位宽和64位的寄存器堆，有效提高处理器数据处理性能。运行主频250 MHz，计算能力高达1 700 DMIPS。

2019年12月，Gaisler公司发布了第5代LEON处理器核LEON5，该IP核基于SPARC V8架构，在LEON4的基础上各项指标和性能都得到了大幅提升。算力主频比可达3.23 DMIPS/Hz，按照GR740类似的配置测算，4个LEON5处理器核，运行主频250 MHz，计算能力高达3 230 DMIPS，相较于LEON4性能翻番。

(2) ARM

2017年，为满足未来航天设备系统的高性能计算需

求，几乎与美国HPSC计划同期，欧洲航天局也启动了DAHLIA计划^[1]，研发下一代高性能多核宇航处理器。该项目由空客公司承担，提出了一套基于ARM的片上系统解决方案，具体可归结为如下特点。

生态开放：为了降低新软件开发的难度和开发周期，充分发挥ARM良好的开发环境和软件生态，DAHLIA以ARM架构处理器为核心进行空间环境适应性设计。

高性能：不同于波音计划，空客公司选用了在自动驾驶、工业控制等行业使用最为广泛也最为安全的处理器64位实时ARM Cortex-R52核心，通过集成4个Cortex-R52形成高性能计算集群，运行实时操作系统，计算性能最高可达4 000 DMIPS。

2020年，法国Teledyne e2v公司宣布成功研发面向未来密集计算需求的下一代COTS宇航级处理芯片QLS1046-Space，该芯片集成4颗ARM Cortex-A72核心，基于NXP QorIQ系列最新的Layerscaper架构，运行主频1.8 GHz，计

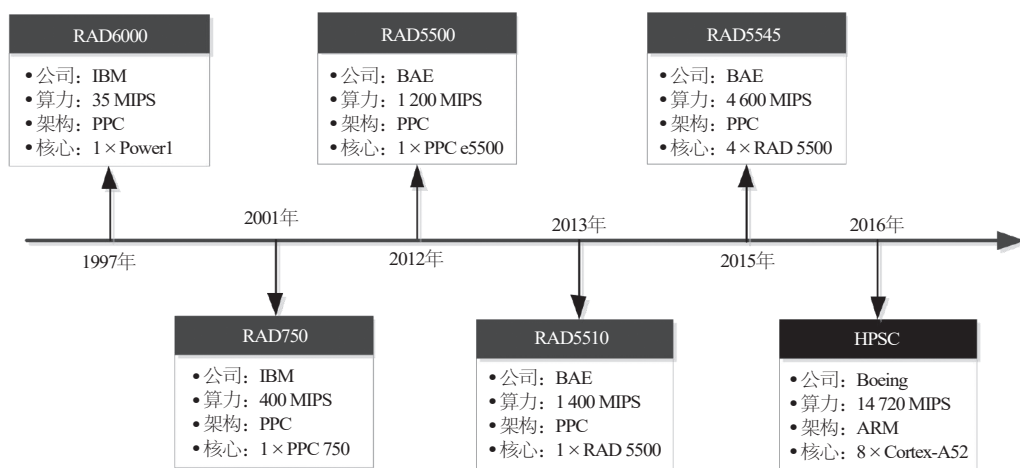


图2 美国宇航级处理器发展路线

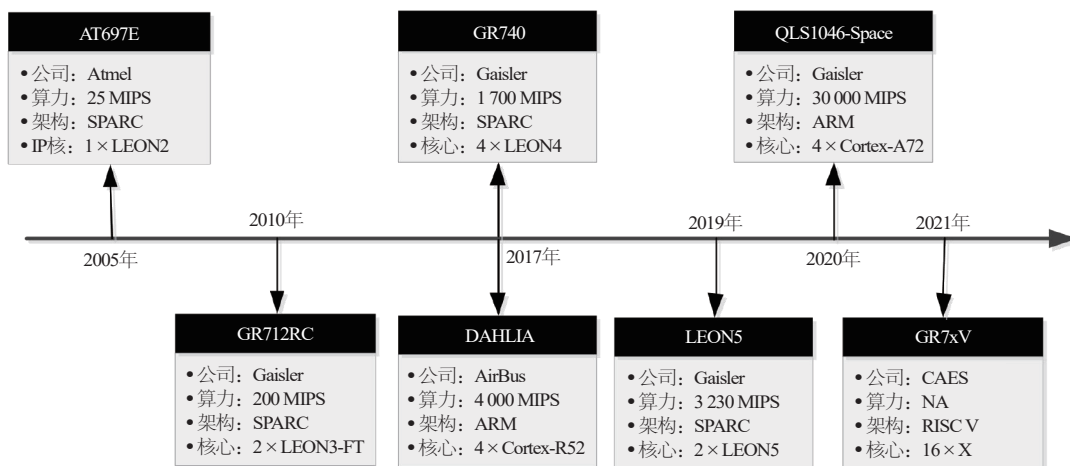


图3 欧洲宇航级处理器发展路线

算性能最高可达30 000 DMIPS, 峰值功耗12 W, 可以满足空间级AI、数据处理所需的密集计算。

(3) RISC V

2021年12月, 欧洲航空局与CAES公司签署一份合同, 致力于开发基于开放式RISC V指令集架构的16核、宇航处理器GR7xV, 该项目是卫星或航天器领域的首次RISC V探索, 旨在充分发挥其高效能优势^[13]。

综上所述, 欧洲宇航级处理器的发展经历了SPARC、ARM、RISC V等3个发展阶段, 如图3所示, 其中SPARC仍然是当前航天任务采用的主流处理器架构。与此同时, 为满足日益增长的高性能计算需求, 欧洲纷纷布局ARM、RISC V新型处理器的前瞻性研究。

纵观美国和欧洲宇航级处理器发展, 主要包括3个阶段。起步阶段, 美国最早开展探索, 采用X86进行筛选和加固用于太空探索, 比较典型的有386ex系列。发展阶段, 随后其基于PowerPC的系列宇航级处理器取得巨大成功, 广泛应用于美国宇航局的航天器, 与此同时, 欧洲为了避免核心芯片受制于美国, 开始独立研制基于SPARC架构的宇航级处理器, 也取得成功, LEON系列在欧洲航天器得到大规模使用。新的阶段, 为了满足日益丰富的航天应用需求, 欧美均在探索性能更高的下一代宇航级处理器的研制, 主要集中在基于ARM和RISC V新型架构的探索, 其中基于ARM架构的宇航级处理器已有成熟芯片, 基于RISC V的宇航级处理器尚在研究中。

2 宇航级处理器架构对比分析

纵观世界各国的宇航级处理器发展史, 可以归纳为3个发展阶段。其中处理器架构方面主要可以划分为3个阶段: 一是原始基于X86的386ex; 二是日渐成熟的SPARC架构(欧)、PowerPC架构(美); 三是新型探索的ARM架构(欧、美)、RISC架构(欧)。主频方面, 从几十兆赫兹、几百兆赫兹发展到现在的几千兆赫兹; 算力方面, 从几十MIPS、几百MPIS发展到几千MIPS; 核数方面, 从单核、双核发展到多核(4/8/12个)。在

此基础上, 将宇航级处理器的发展划分为“1.0、2.0、3.0”3个阶段, 具体见表2。宇航级处理器的算力提升是技术发展与应用需求双轮驱动: 一方面源于技术水平提升; 另一方面主要源于日益复杂的航天任务需要更加丰富的航天应用或算法。

2.1 “1.0”阶段: 起步阶段

1990年之前主要将地面处理器经过加固之后(主要为x86系列)搬移上天, 主频处于几十兆赫兹量级、定点计算能力处于几十MIPS量级。

2.2 “2.0”阶段: 发展阶段

1990–2015年, 是世界航天事业快速发展的阶段, 为满足日益复杂的航天任务, 以欧美为代表的航天强国纷纷布局自主可控宇航级处理器, 形成PowerPC、SPARC流派。主频处于几百兆赫兹量级、定点计算能力处于几百MIPS量级。为了提升处理器的性能, 此阶段的发展主要聚焦在两个方面, 一是提升处理器主频, 实现从几十兆赫兹向几百兆赫兹的跨越, 以此来提升处理器的性能, 与同时期地面处理器的发展思路极为相似; 二是从单核向双核发展, 类似于地面从奔腾处理器到酷睿双核发展, 通过多核来提升处理器的整体性能。

2.3 “3.0”阶段: 新的阶段

2015以后, 随着移动互联网迅速席卷全球, 以ARM为代表的精简指令集架构处理器以其低功耗的优势在便携式终端迅猛发展, 成为发展热点。为了充分利用现有软件生态, 世界各主要国家均转向对ARM架构的研究, 相关处理器已经完成研发并投入使用。2020年后, 为进一步降低功耗, 以及提高自主可控程度, 各国开始布局基于RISC V的宇航级处理器, 目前均处于研发阶段, 尚未有成熟的芯片。主频处于几千MHz量级、定点计算能力处于几千MIPS量级。此阶段的发展主要聚焦在3个方面, 一是向众核发展, 从表3可以发现, 宇航级处理器已经走入16核时代; 二是探索新架构, 基于ARM、RISC V

表2 主流宇航级处理器芯片发展历程

阶段	型号	年份	国家/地区	主频	功耗	核数	计算能力	架构
1.0	80386ex	1994年	美国	33 MHz	1 W	1	11 DMIPS	X86
2.0	RAD750	2001年	美国	200 MHz	5 W	1	400 DMIPS	PowerPC
	GR712RC	2009年	欧洲	100 MHz	1.5 W	2	200 DMIPS	SPARC
3.0	DAHLIA	2019年	欧洲	1.6 GHz	—	4	4 000 DMIPS	ARM
	HPSC	2019年	美国	800 MHz	10 W	8	15 000 DMIPS	ARM
	GR7xV	2021年	欧洲	—	—	16	—	RISC V

等的新型处理器架构探索层出不穷；三是提升主频，欧洲相关公司研制的宇航级处理器主频已经进入吉赫兹级别，将会极大地改善处理器性能。

3 宇航级处理器发展趋势研究

经过多年的发展，整体宇航级处理器已经告别“单片机”时代，处理性能持续攀升，呈现出众核化、商业化、智能化、生态化、云网化等发展趋势，给航天电子系统的发展提供了跨越式发展机遇。

3.1 众核化

面对日益增长的星上处理需求，如何快速提升芯片处理性能至关重要，提升单核处理器性能的方法包括：一是提高处理器位宽，即单次处理数据长度，从8位、16位，走向32位、64位，具体见表3；二是提升处理器主频，从几十兆，到几百兆，直至当前的千兆级。近年来，随着集成电路技术的迅猛发展，将多个单核处理器通过片上网络或片上总线互联起来，构成片上系统或者片上网络，可以成倍地提升处理器性能，同时满足卫星系统平台上并行处理任务的需求，如GR740相比AT697E增加了3个处理器核，性能提高了10倍。

表3 主流宇航级处理器核数发展趋势

芯片	位宽/位	核数/个	主频/MHz
P1750A	16	1	20
GR712RC	32	2	100
GR740	32	4	250
HPSC	64	8	1 000
GR7xV	64	16	-
QLS1046-Space	64	4	1 800

3.2 商业化

地面商用计算芯片按照摩尔定律迅速发展，为此美国率先提出将商用货架产品经过适应性加固之后用于低辐照场景。这种方式不仅可以利用先进的商用技术，具有较高的性能，还可在一定程度上沿用软件生态，降低研发成本、缩短研制周期。当前，如HPSC、DAHLIA等宇航级处理器均采用成熟商业化处理器核（如LEON2/3/4、ARM-A53、ARM-R52），具体见表4，通过设计加固技术克服空间环境影响，利用成熟芯片生产线降低成本。未来，通过商业化芯片进行防辐射加固将是重要发展方向。

3.3 智能化

传统星上处理主要包括星务计算机和载荷控制器，

表4 主流宇航级处理器内核情况

芯片	IP核
GR740	LEON4
HPSC	ARM-A53
DAHLIA	ARM-R52
LS1046-Space	ARM-A72

功能相对明确、性能要求不高，但对可靠性要求极高，传统的宇航级处理器（如RAD750、GR712RC）能够较好地满足需求。然而，随着航天系统向数字化、网络化、智能化方向发展，为提高服务响应速度，在轨进行目标识别、自主运行管理、多星任务规划等已经成为行业研究热点^[15-17]，迫切需要星载处理器向智能化发展，为智能应用提供算力。为此，国内外纷纷研制自带智能芯片的片上系统处理器，如玉龙810A自带GPU、神经网络加速器等，可以极大提升机器学习等智能算法的运行效率。

3.4 生态化

传统的星载处理器主要用于星务计算机，负责卫星姿轨控、载荷状态监控等操作，很多宇航级处理器上都不装操作系统。然而，随着星上算力的逐渐提升，以黑杰克为例，提出星上将具有自主控制能力等复杂功能，软件系统将更加复杂，为了丰富航天应用，必须选择具有良好软件开发生态的处理器架构，才能最好地复用现有的软件成果。2017年，美国和欧洲分别布局基于ARM架构的宇航级处理器，其中一个非常重要的出发点是ARM完备的软件开发工具、应用生态，可在极大地继承现有成果的同时，充分发挥现有软件生态的优势。

3.5 云网化

当前，商业航天迅猛发展，世界各主要国家纷纷提出低轨星座计划，立足构建全球无缝覆盖的卫星通信网络，星上处理也将从单星走向星群、星座^[18-28]，如图4所示。面向航天网络化、体系化发展趋势，迫切需要将广域分布式的星上计算资源协同融合起来，构建天基智能云网，为各种航天应用提供“计算基座”。面向未来，星载宇航级处理器必须要适应网络化、云化发展趋势。

参考文献：

[1] 吴曼青. 关于天地一体化信息网络发展的考虑[J]. “天地一体化信息网络”高峰论坛论文集, 2013: 72-79.

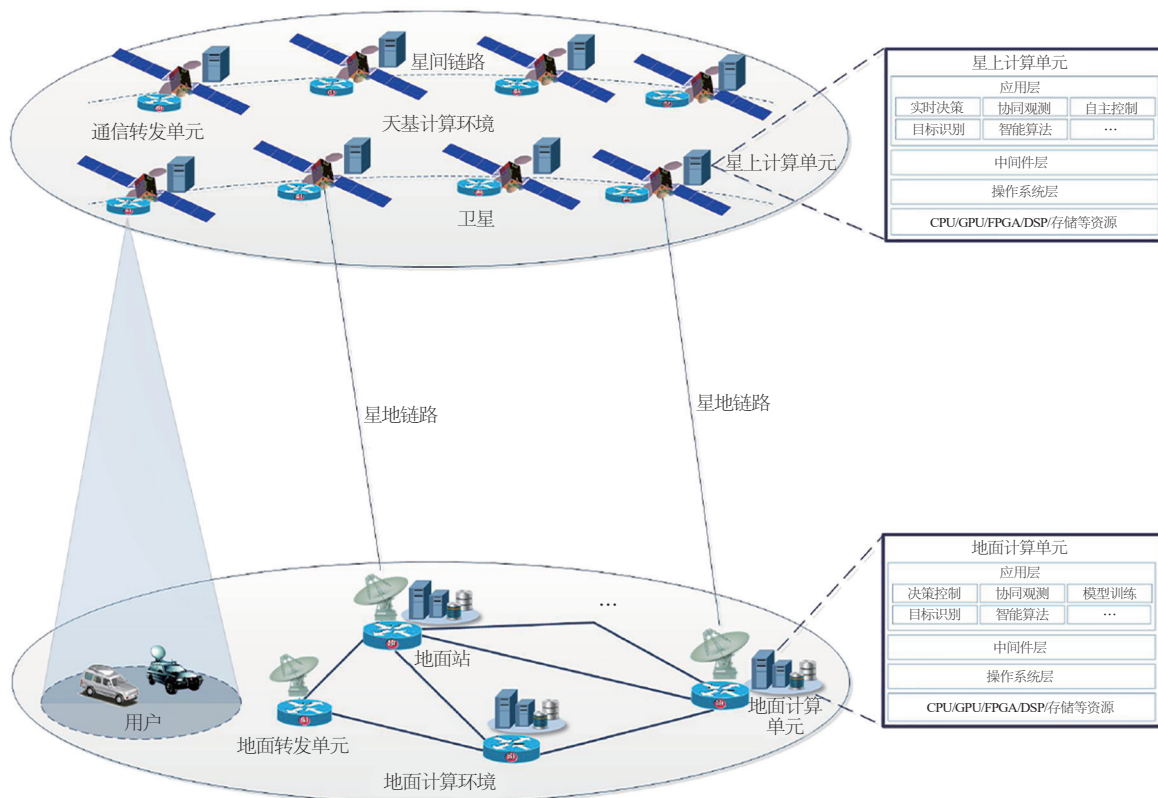


图4 天基智能云网架构示意

WU M Q. Considerations about the development of the information network of the Integration of Heaven and Earth [J]. Proceedings of the Summit Forum on the space-terrestrial integrated information network, 2013: 72-79.

- [2] 汪春霖, 翟立君, 徐晓帆. 天地一体化信息网络发展与展望[J]. 无线电通信技术, 2020, 46(5): 493-504.

WANG C T, ZHAI L J, XU X F. Development and prospects of space-terrestrial integrated information network[J]. Radio Communications Technology, 2020, 46(5): 493-504.

- [3] XIE R C, TANG Q Q, WANG Q N, et al. Satellite-terrestrial integrated edge computing networks: architecture, challenges, and open issues[J]. IEEE Network, 2020, 34(3): 224-231.

- [4] The Spaceborne Computer. Accelerating-space- exploration-with-the-Spaceborne-Computer[EB]. 2022.

- [5] 陈东奇. BM3823的操作系统移植和驱动开发[D]. 哈尔滨: 哈尔滨工业大学, 2020.

CHEN D Q. Operating system porting and driver development of BM3823[D]. Harbin: Harbin Institute of Technology, 2020.

- [6] LI Y, ZHU X Y, ZHANG W G, et al. Design and verification of CPU for teaching based on sparc V8[C]//Proceedings of 2013 Fourth International Conference on Intelligent Systems Design and

Engineering Applications. Piscataway: IEEE Press, 2014: 236-240.

- [7] GUERTIN S M, SOME R, NSENGIYUMVA P, et al. Radiation specification and testing of heterogenous microprocessor SOC[C]//Proceedings of 2019 19th European Conference on Radiation and Its Effects on Components and Systems (RADECS). Piscataway: IEEE Press, 2022: 1-7.

- [8] RUTISHAUSER D, MOORE R, PROTHRO J, et al. High performance computing for precision landing and hazard avoidance and Co-design approach[C]//Proceedings of 2019 IEEE Aerospace Conference. Piscataway: IEEE Press, 2019: 1-10.

- [9] FURANO G, DI MASCIO S, MENICUCCI A, et al. A European roadmap to leverage RISC-V in space applications[C]//Proceedings of 2022 IEEE Aerospace Conference (AERO). Piscataway: IEEE Press, 2022: 1-7.

- [10] CAPPELLONE D, DI MASCIO S, FURANO G, et al. On-board satellite telemetry forecasting with RNN on RISC-V based multicore processor[C]//Proceedings of 2020 IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems (DFT). Piscataway: IEEE Press, 2020: 1-6.

- [11] WANG C T, ZHAI L J, XU X F. Development and prospects

- of space-terrestrial integrated information network[J]. Radio Communications Technology, 2020, 46(5): 493-504.
- [12] 陆洲, 秦智超, 张平. 天地一体化信息网络系统初步设想[J]. 国际太空, 2016(7): 20-25.
- LU Z, QIN Z C, ZHANG P. Initial layout of space-ground integrated information network system[J]. Space International, 2016(7): 20-25.
- [13] 李凤华, 殷丽华, 吴巍, 等. 天地一体化信息网络安全保障技术研究进展及发展趋势[J]. 通信学报, 2016, 37(11): 156-168.
- LI F H, YIN L H, WU W, et al. Research status and development trends of security assurance for space-ground integration information network[J]. Journal on Communications, 2016, 37(11): 156-168.
- [14] 覃辉, 于立新. 宇航处理器技术发展趋势和特点[C]//第六届航天电子战略研究论坛论文集. 2019: 54-58.
- TAN H, YU L X.
- [15] 徐欣, 库锡树, 周一宇. 可编程SOC全面提升航天信号处理器性能[J]. 载人航天, 2005, 11(3): 15-17, 22.
- XU X, KU X S, ZHOU Y Y. Programmable SOC comprehensively improves the performance of space signal processor[J]. Manned Spaceflight, 2005, 11(3): 15-17, 22.
- [16] 田雪, 倪明, 施华君, 等. 天基网络化通用服务平台的硬件实现[J]. 计算机系统应用, 2018, 27(1): 45-51.
- TIAN X, NI M, SHI H J, et al. Hardware implementation of space-based network universal service platform[J]. Computer Systems & Applications, 2018, 27(1): 45-51.
- [17] 徐帅, 林宝军, 刘迎春, 等. 基于龙芯宇航级芯片的BSP开发和移植[J]. 计算机工程与科学, 2020, 42(4): 571-579.
- XU S, LIN B J, LIU Y C, et al. Development and transplantation of BSP based on Godson aerospace chip[J]. Computer Engineering & Science, 2020, 42(4): 571-579.
- [18] 蔡亚梅, 陈利玲, 张天娇. 从“黑杰克”项目看美国低轨卫星系统发展[J]. 航天电子对抗, 2021, 37(4): 57-59, 64.
- CAI Y M, CHEN L L, ZHANG T J. LEO satellite system development of USA from Blackjack program[J]. Aerospace Electronic Warfare, 2021, 37(4): 57-59, 64.
- [19] 任远桢, 金胜, 鲁耀兵, 等. 美国国防太空体系架构发展浅析[J/OL]. 现代防御技术[2023-03-17].
- REN Y Z, JIN S, LU Y B, et al. Analysis of the development of the US defense space architecture [J/OL]. Modern Defense Technology[2023-03-17].
- [20] SCHWALLER B, HOLTZMAN S, GEORGE A D. Emulation-based performance studies on the HPSC space processor[C]// Proceedings of 2019 IEEE Aerospace Conference. Piscataway: IEEE Press, 2019: 1-11.
- [21] 张永伟. 基于COTS元器件的星载综合电子设备研制[D]. 哈尔滨: 哈尔滨工业大学, 2017.
- ZHANG Y W. Development of the satellite integrated electronic equipment based on COTS components[D]. Harbin: Harbin Institute of Technology, 2017.
- [22] VANDAME P, NOÉ A, ČECH J, et al. Assessing the potential of qormino processor for embedded AI on board a CubeSat[J]. IEEE Journal on Miniaturization for Air and Space Systems, 2022, 3(3): 121-128.
- [23] ANDERSSON J. Development of a NOEL-V RISC-V SoC targeting space applications[C]//Proceedings of 2020 50th Annual IEEE/IFIP International Conference on Dependable Systems and Networks Workshops (DSN-W). Piscataway: IEEE Press, 2020: 66-67.
- [24] CHENG D, QI D, CHEN M. Radiation-hardened test design for aerospace SoC[C]//Proceedings of 2020 IEEE 5th International Conference on Integrated Circuits and Microsystems (ICICM). Piscataway: IEEE Press, 2020: 213-217.
- [25] 虞志刚, 冯旭, 戴天, 等. 空间边缘计算: 需求、架构及关键技术[J]. 电子与信息学报, 2022, 44(12): 4416-4425.
- YU Z G, FENG X, DAI T, et al. Space edge computing: requirement, architecture and key technique[J]. Journal of Electronics & Information Technology, 2022, 44(12): 4416-4425.
- [26] 彭木根, 张世杰, 许宏涛, 等. 低轨卫星通信遥感融合: 架构、技术与试验[J]. 电信科学, 2022, 38(1): 13-24.
- PENG M G, ZHANG S J, XU H T, et al. Communication and remote sensing integrated LEO satellites: architecture, technologies and experiment[J]. Telecommunications Science, 2022, 38(1): 13-24.
- [27] 孙树志. 面向微纳卫星的可重构星载计算机研制[D]. 哈尔滨: 哈尔滨工业大学, 2021.
- SUN S Z. Development of reconfigurable space-borne computer for micro-nano satellites[D]. Harbin: Harbin Institute of Technology, 2021.
- [28] 虞志刚, 冯旭, 黄照祥, 等. 通信、网络、计算融合的天地一体化信息网络体系架构研究[J]. 电信科学, 2022, 38(4): 11-29.
- YU Z G, FENG X, HUANG Z X, et al. Research on the architecture of space-ground integrated information network: integration of communication, networking and computing[J]. Telecommunications Science, 2022, 38(4): 11-29.

[作者简介]



虞志刚 (1989—), 男, 博士, 中国电子科技集团公司电子科学研究院高级工程师, 主要研究方向为卫星通信网络。



冯旭（1987-），男，博士，中国电子科技集团公司电子科学研究院高级工程师，主要研究方向为卫星通信网络。



高吉星（1988-），男，博士，中国电子科技集团公司电子科学研究院高级工程师，主要研究方向为卫星通信网络。



陆洲（1972-），男，硕士，中国电子科技集团公司电子科学研究院研究员，主要研究方向为卫星通信网络。



丁文慧（1986-），女，博士，中国电子科技集团公司电子科学研究院高级工程师，主要研究方向为卫星通信网络。